

⑫ 公開特許公報(A) 平1-253950

⑤ Int.Cl.⁴
H 01 L 27/04識別記号 庁内整理番号
P-7514-5F

⑬ 公開 平成1年(1989)10月11日

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 ポリシリコン抵抗を有する集積回路装置

⑯ 特 願 昭63-81485

⑰ 出 願 昭63(1988)4月1日

⑱ 発 明 者 中 内 修 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

ポリシリコン抵抗を有する集積回路装置

2. 特許請求の範囲

半導体基板上に多層に形成されたポリシリコン層と、これらポリシリコン層を従属接続する手段とを有することを特徴とするポリシリコン抵抗を有する集積回路装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は小面積かつ高抵抗を必要とする半導体集積回路に関し、特にポリシリコンを使用して形成される抵抗素子を有する半導体集積回路に関する。

〔従来の技術〕

第3図(a)～(j)に従来の容量及びポリシリコン抵抗を使用した半導体集積回路の模式的工程断

面図を示す。

第3図(a)はシリコン基板2上に素子分離のためのフィールド酸化膜1が形成されている。今、このフィールド酸化膜1上のA-B間に容量素子、B-C間に抵抗素子を形成するものとする。第3図(b)において、容量素子の第1電極を形成する為、第1ポリシリコン3を成長させる。次いで、第3図(c)にて、誘電体である酸化膜4及び第3図(d)にて窒化膜5をそれぞれ成長させる。次に、第2電極を形成する為の第2のポリシリコン6を成長させる(第3図(e))。この第2ポリシリコン6が抵抗素子となり、第3図(f)にて絶縁膜7例えばPSG膜などを形成後、第3図(g)にてコンタクト穴8を開け、第3図(h)にてアルミニウム9をスパッタし、選択エッチングにより配線を形成する。尚、第3図(h)におけるD～D'間の紙面に対して垂直の断面図を、また第3図(i)に示す。

〔発明が解決しようとする課題〕

上述した従来のポリシリコン構造の抵抗素子は

高抵抗を得る為、第3図(j)の様にポリシリコン6は曲りくねって形成され、平行するポリシリコン6間の間隔(抵抗幅)を狭くしてポリシリコン6の全体の長さ(抵抗長)を長くする事により高抵抗を得ている。この為、面積的に広面積になるという欠点がある。

〔課題を解決するための手段〕

本発明によれば、半導体基板上にポリシリコンを多層で形成し、各層のポリシリコンを直列につながらに接続して形成したポリシリコンによる抵抗素子を有する集積回路を得る。

〔実施例〕

次に、本発明を図面を参照して詳細に説明する。

第1図(a)~(h)は本発明の一実施例の工程断面図であり、第1図(i)は抵抗形成後の第1図(h)におけるD~D'間の断面図、第1図(j)は得られたポリシリコン抵抗の平面図である。次に、各工程を第1図(a)より順に説明する。

まず、第1図(a)はシリコン基板2に各素子の分離を行う為のフィールド酸化膜1を形成した後

第1図(i)に示すように、第1図(h)のD-D'に於ける紙面に垂直な方向では第1層目と第2層のポリシリコン3、6を接続する為のコンタクト穴8も設けられている。次いで、第1図(h)に示すように、配線形成の為にアルミニウム9をスパッタし、選択エッチングする。

以上の構造により、小面積でありかつ高抵抗を得る事が出来る。また、第1図(j)に平面図を示したように、アナログマスタースライスとして使用の場合は電極91と92間にて使用すると高抵抗が得られ、電極91と93間で使用すると中抵抗が得られ、電極92と93間で使用すると低抵抗が得られ、それぞれ使い分けることが出来る。

第2図は本発明の他の実施例を示したものであり、第1図(i)と同様の工程での抵抗素子の断面図である。第1図の一実施例より高抵抗を必要とする時、ポリシリコン11を更に設け、ポリシリコン層を3層にする事により小面積高抵抗が得られる。又、ポリシリコン6とポリシリコン11との間の絶縁膜はポリシリコン6を酸化させた酸化

膜の図であり、このフィールド酸化膜1上のA-B間に容量素子をB-C間に抵抗素子を形成するものとする。第1図(b)は容量素子部の第1電極をポリシリコン3にて形成し、この時、抵抗部素子部にも第1層目の抵抗としてポリシリコン3を成長させる。第1図(c)では、容量素子の誘電体を形成する為、第1図(b)にて形成したポリシリコン3を酸化させる事により酸化膜4が形成させる。第1図(d)では、第1図(c)にて形成された酸化膜4上に窒化膜5を成長し、酸化膜4及び窒化膜5により誘電体を形成する。又この誘電体により抵抗素子の第1層目と第2層目の絶縁分離が行われる。

第1図(e)では、容量素子部の第2電極を形成する為ポリシリコン6を成長させる。このポリシリコン6を抵抗素子の第2層目の抵抗とする。第1図(f)では、その上に絶縁膜7を形成している。第1図(g)は容量素子の両電極及び第1層目のポリシリコン3、第2層目のポリシリコン3上の絶縁膜7にそれぞれにコンタクト穴8を開ける。又

膜10のみであり耐圧の問題上酸化時間を多少、多くする事により酸化膜厚を厚くする構成をしている。

〔発明の効果〕

以上説明したように本発明はポリシリコンを多層にし各ポリシリコンを直列接続となるように接続する事により小面積で高抵抗が得られ、配線変えて多種の抵抗値を選択出来る効果がある。

4. 図面の簡単な説明

第1図(a)~(h)は本発明の一実施例による多層ポリシリコン抵抗の模式的工程断面図であり、第1図(i)は第1図(h)のD-D'での断面図であり、第1図(j)は第1図(i)を上方向から見た平面図である。

第2図は本発明の他の実施例の模式的断面図である。

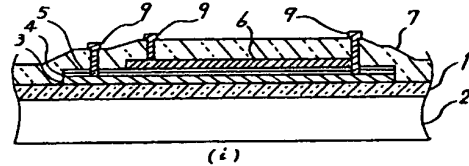
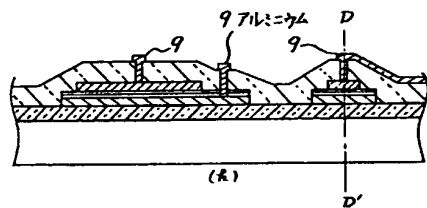
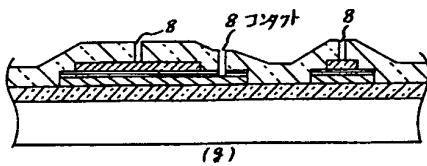
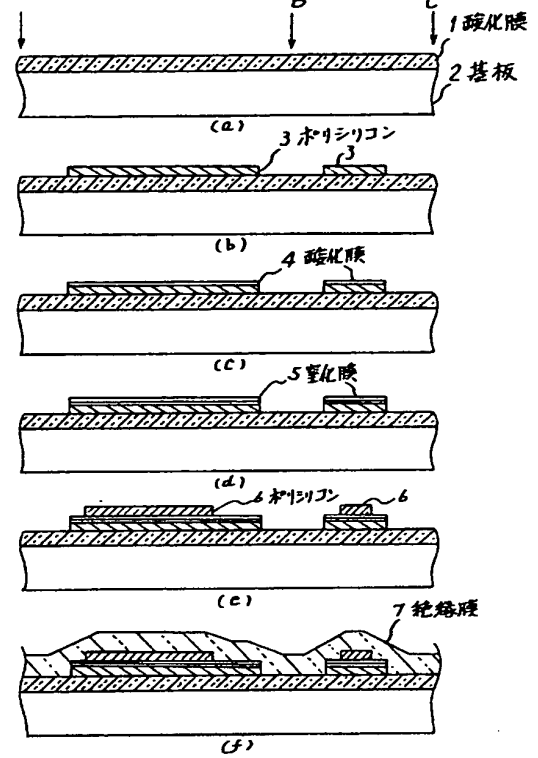
第3図(a)~(h)は従来のポリシリコン抵抗の模式的工程断面図であり、第3図(i)は第3図(h)のD-D'での断面図であり、第3図(j)は

第3図(i)を上方向から見た平面図である。

1……フィールド酸化膜、2……基板、3……第1ポリシリコン、4……酸化膜、5……窒化膜、6……第2ポリシリコン、7……絶縁膜、8……コンタクト穴、9……アルミニウム、10……酸化膜、11……第3ポリシリコン、91～93……電極。

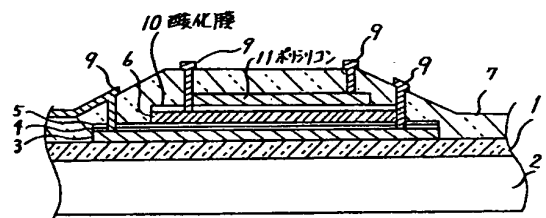
代理人 弁理士 内 原 晋

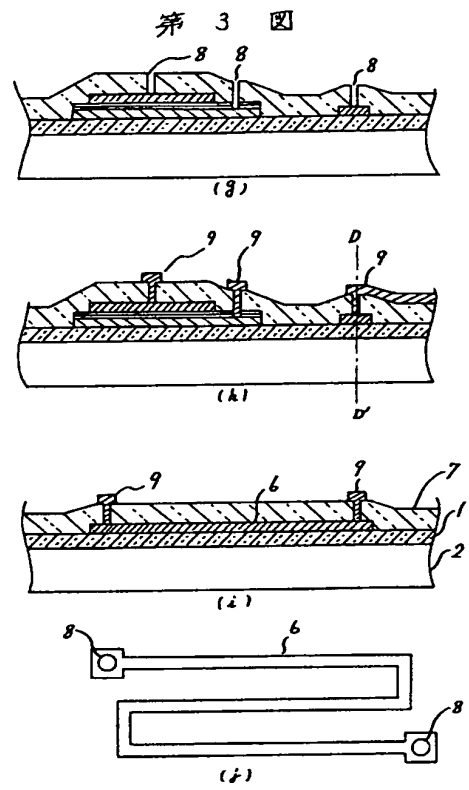
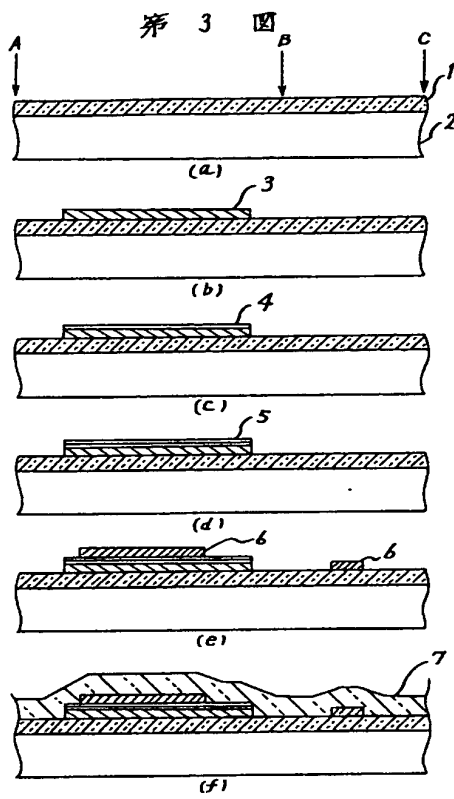
第 1 図



第 1 図

第 2 図





CLIPPEDIMAGE= JP401253950A

PAT-NO: JP401253950A

DOCUMENT-IDENTIFIER: JP 01253950 A

TITLE: INTEGRATED CIRCUIT DEVICE EQUIPPED WITH POLYSILICON
RESISTOR

PUBN-DATE: October 11, 1989

INVENTOR-INFORMATION:

NAME

NAKAUCHI, OSAMU

ASSIGNEE-INFORMATION:

NAME

NEC CORP

COUNTRY

N/A

APPL-NO: JP63081485

APPL-DATE: April 1, 1988

INT-CL (IPC): H01L027/04

US-CL-CURRENT: 257/538

ABSTRACT:

PURPOSE: To obtain high resistance within a small area, by making polysilicon parts multilayered and connecting each polysilicon part in series.

CONSTITUTION: After forming a field oxidized film 1 on a silicon substrate 2, for the separation of each element, the first electrode of a capacity element section is formed with polysilicon 3, and the polysilicon 3 is also grown for the resistor of the first layer in the resistance element section. Then, this is oxidized to obtain an oxidized film 4; while a nitrided film 5 is grown on the oxidized film 4; and an dielectric is formed with the oxidized film 4 and nitrided film 5. Next, polysilicon 6 to form the second electrode of the capacity element section is grown to become the resistor of the second layer, and an insulating film 7 is formed thereon. Following that, contact holes are

provided to connect the polysilicon parts 3, 6, and aluminum 9 is sputtered and selectively etched for forming the wiring. This enables obtaining of high resistance within a small area.

COPYRIGHT: (C)1989,JPO&Japio